

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-28101

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 3/00			H 0 4 J 3/00	U
				X
H 0 4 Q 11/04	3 0 4		H 0 4 Q 11/04	3 0 4 Z

審査請求 未請求 請求項の数14 O L (全 33 頁)

(21) 出願番号 特願平8-180208

(22) 出願日 平成8年(1996) 7月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 ▲吉▼田 祥

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 須長 英男

神奈川県横浜市港北区新横浜2丁目3番9  
号 富士通デジタル・テクノロジー株式会  
社内

(74) 代理人 弁理士 林 恒徳 (外1名)

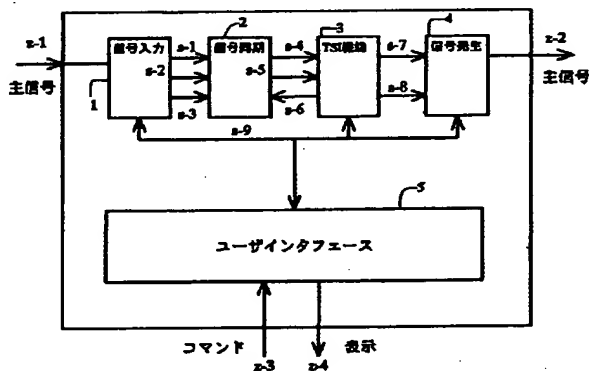
最終頁に続く

## (54) 【発明の名称】 時分割信号交換システム

## (57) 【要約】

【課題】品質劣化を検出した場合、別な方向からの回線に容易に切替可能とする回線設定を行う時分割信号交換システムを提供する。

【解決手段】SDHインタフェース信号を入力し、該SDHインタフェース信号に多重化されているバーチャルコンテナ回線を分離し、いずれかの出力に接続するように設定を行なう時分割信号交換システムであって、主信号を入力し、該入力される信号からアラーム情報を検出し、該アラーム情報の発生状況に応じて該主信号を変換する信号受信部と、該信号受信部から該主信号と該アラーム情報を入力し、該主信号と該アラーム情報の位相を一のクロックにより乗り換えて出力する信号同期化部と、該信号同期化部から該主信号を、該主信号のタイムスロット毎に交換して出力するTSI機能部を有して構成される。



## 【特許請求の範囲】

【請求項1】SDHインタフェース信号を入力し、該SDHインタフェース信号に多重化されているバーチャルコンテナ回線を分離し、いずれかの出力に接続するように設定を行なう時分割信号交換システムであって、主信号を入力し、該入力される信号からアラーム情報を検出し、該アラーム情報の発生状況に応じて該主信号を変換する信号受信部と、該信号受信部から該主信号と該アラーム情報を入力し、該主信号と該アラーム情報の位相を一のクロックにより乗り換えて出力する信号同期化部と、該信号同期化部から該主信号を、該主信号のタイムスロット毎に交換して出力するTSI機能部を有して構成されることを特徴とする時分割信号交換システム。

【請求項2】請求項1において、前記一のクロックは、該TSI機能部から出力されることを特徴とする時分割信号交換システム。

【請求項3】請求項1または2において、前記TSI機能部は、前記主信号を記憶するメモリを備え、該メモリへの書き込みの順番と異なる順番で、該メモリから該主信号の読み出しを行なうことにより、該主信号のタイムスロット毎に交換して出力することを特徴とする時分割信号交換システム。

【請求項4】請求項1または2において、前記TSI機能部は、前記主信号を記憶する二つのメモリと、一のセレクトを備え、該二つのメモリからの読み出しを交互に行うように該一のセレクトを制御することを特徴とする時分割信号交換システム。

【請求項5】請求項1または2において、前記TSI機能部は、 $n$ 個のそれぞれ、前記主信号を記憶する二つのメモリのセットと、 $n$ 個のメモリのセットに対応する $n$ 個の信号セレクトと、該 $n$ 個の信号セレクトの出力の内一の信号セレクトの出力を選択して出力するセレクトを有することを特徴とする時分割信号交換システム。

【請求項6】請求項1から5の何れかにおいて、前記TSI機能部の出力を格納するメモリと、該メモリの出力にオーバーヘッド情報を挿入するオーバーヘッド情報挿入回路を備える信号発生部を有することを特徴とする時分割信号交換システム。

【請求項7】請求項6において、前記主信号は光信号であり、前記信号受信部は光信号/電気信号変換回路を有し、且つ前記信号発生部は電気信号/光信号変換回路を有することを特徴とする時分割信号交換システム。

【請求項8】請求項6において、前記主信号はSTM- $n$ 信号であり、前記信号受信部は該STM- $n$ 信号を複数のSTM-1信号に多重分離する回路を有し、前記信号同期化部は該多重分離されたSTM-1信号に対し位相同期するように制御することを

特徴とする時分割信号交換システム。

【請求項9】入力されるSTM- $n$ 信号を複数のSTM-1信号に多重分離する第一手段と、該複数のSTM-1信号に対し、フレームタイミング位置を一致するように位相調整する第二手段と、該複数のSTM-1信号に多重化されているVC- $n$ 信号についてチャンネル毎にアラーム状態をモニタし、モニタしたアラーム状態を区別する信号を、該第二手段で位相調整された信号に付加して出力する第三手段と、VC-12 UNEQ信号が多重化されたSTM- $n$ 信号を生成する第四手段と、上位の該第三手段の出力または、前記第四手段の出力に、下位の該第三手段の出力の任意のVC- $n$ を挿入し、回線設定を行う手段とを有することを特徴とする時分割信号交換システム。

【請求項10】請求項9において、更に、前記回線設定を行う手段は、回線設定によりクロスコネクトされた2つの信号の内のVC- $n$ 信号に付加されている状態信号により該2つの信号の内、いずれを選択すべきかを選択する回線選択手段を有することを特徴とする時分割信号交換システム。

【請求項11】請求項10において、更に、設定されたタイムスロットにおいて、上位からの信号のアラームと、挿入すべき信号のアラームを比較して品質の高い方の信号を選択することを特徴とする時分割信号交換システム。

【請求項12】請求項9～11の何れかにおいて、前記回線設定を行う手段は、STM- $n$ 信号の1列分の信号とアラーム信号を保存できる容量のデータメモリを2面分有し、更に該データメモリから出力すべき1列分のデータのバイト毎の入力元の情報が保存されるアドレスメモリと、該アドレスメモリの内容により、UNEQ信号あるいは、該データメモリから出力されるデータのいずれかを選択出力するセレクトを備えたことを特徴とする時分割信号交換システム。

【請求項13】請求項12において、前記アドレスメモリに格納される前記入力元の情報は、UNEQ信号か前記データメモリから読み出したデータかの情報及び、データメモリから読み出すデータのアドレスを有し、且つ、該アドレスメモリは、タイムスロットが冗長を行なうものであるか否かを保存し、更に該スルー入力か前記データメモリから読み出したデータかの情報、該アドレスメモリタイムスロットが冗長を行なうものであるか否か及び各信号のアラーム情報により前記セレクトの選択を制御するセレクト判定回路を有することを特徴とする時分割信号交換システム。

【請求項14】請求項9において、前記STM- $n$ 信号がSTM-4信号であることを特徴とする時分割信号交換システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、時分割信号交換システムに関し、特にSDH (Synchronous Digital Hierarchy) ネットワークに備えられる時分割信号交換システムにおけるパススイッチ(回線冗長)を含むクロスコネクト(回線設定)方式に関する。

## 【0002】

【従来の技術】電話サービスを初めデータや映像を含むサービスに効率よく適用可能な多重化方式として、SDH技術が国際標準化されている。

【0003】一方、近年の伝送装置においては、クロスコネクト(回線設定)装置に関する技術の進歩によりネットワーク全体の回線を自由に変更できるシステム、及び回線の信頼度の向上が要求されている。

【0004】ここで図34において、VC<sub>n</sub>信号の接続設定は、設定変更により自由に変更可能である。時分割信号交換システムの中心となるクロスコネクト(回線設定)装置とは、図34に概念的に示されるものである。図示のように、複数のSTM-nとよばれるSDHインタフェースフレーム信号が入力し、このSTM-n(同期転送モジュール: Synchronous Transfer Module Level n)フレーム信号に多重化されているVC<sub>n</sub>という回線信号を分離し、更にそれぞれの回線のVC<sub>n</sub>信号を何処の出力に接続するかを設定し、設定されたVC<sub>n</sub>信号を多重化して再びSTM-nフレーム信号として出力するものである。

【0005】上記のSTM-nフレーム信号は、SDHにおける多重化伝送信号であり、同期転送モジュールのnの値は、同期デジタルハイアラークレベルに対応して、0、1、4、16の4種類が定義され、STM-1がSDHの基本となる多重化単位である。

【0006】また、VC<sub>n</sub>回線信号は、バーチャルコンテナと呼ばれる規格化された、バイト単位に各種情報を多重する箱に相当するものである。150Mbpsの最大ビットレートで、収容情報の速度138MbpsのVC4の他に、収容情報の速度に対応してVC11、VC12、VC2、VC3等がある。

【0007】更に、図34において、VC<sub>n</sub>信号の接続設定は、設定変更により自由に変更可能である。

【0008】実線と点線の2方向からの接続に対して出力方向が1方向しかない回線は、1箇所のクロスコネクト装置から異なる経路を通ってきた同じ信号であり、実線を現用、点線を予備として使用している。現用回線において信号劣化が検出された場合、予備の回線に接続を自動的に変更される。

【0009】反対に、1方向の入力に対して2方向の出力で接続されているものは冗長回線接続を行うために異なる方向に同じ信号を出力させる為のものである。又、図内のUNEQ (unequipped) は、回線が挿入されてい

ない空きタイムスロットである。

【0010】ここで、先に言及したようにネットワーク全体の回線を自由に変更できるシステム、及び回線の信頼度の向上のためにクロスコネクト(回線設定)装置A-B間は、図35に示すようにこれらを接続するSTM-n単位での現用/予備ライン(Line)冗長方式が採られていた。

【0011】また、図36に示すようにリング(Ring)アプリケーションでは、Add/Drop多重化と呼ばれる限られた回線設定機能を有する伝送装置A~Dにおいて、個々の回線を冗長する機能を備えるものである。

## 【0012】

【発明が解決しようとする課題】上記の従来技術でのクロスコネクト(回線設定)装置では、多重化されたSTM-n回線での冗長方式であった為、回線間の救済は可能であるが、伝送装置が故障となる場合の救済ができない。又、現用/予備の伝送路が同一経路にあるために両方の伝送路が同時に障害となる可能性もあり信頼度が低かった。

【0013】又、RINGアプリケーションでは、回線冗長は限られたアプリケーションで適用可能であり、クロスコネクト(回線設定)装置が使用される複雑なネットワークでの回線冗長を構成することは困難である。

【0014】本発明の目的は、ITU(国際通信連盟)、あるいはSONET (Synchronous Optical Network)の定める有線の通信システムにおいて、各回線の品質を監視しながら品質劣化を検出した場合、別な方向からの回線に容易に切替可能とする回線設定を行う時分割信号交換システムを提供することにある。

## 【0015】

【課題を解決するための手段】従って、上記課題を実現する本発明の時分割信号交換システムの第1の構成は、SDHインタフェース信号を入力し、該SDHインタフェース信号に多重化されているバーチャルコンテナ回線を分離し、いずれかの出力に接続するように設定を行なう時分割信号交換システムであって、主信号を入力し、該入力される信号からアラーム情報を検出し、該アラーム情報の発生状況に応じて該主信号を変換する信号受信部と、該信号受信部から該主信号と該アラーム情報を入力し、該主信号と該アラーム情報の位相を一のクロックにより乗り換えて出力する信号同期化部と、該信号同期化部から該主信号を、該主信号のタイムスロット毎に交換して出力するTSI機能部を有して構成されることを特徴とする。

【0016】更に、本発明の時分割信号交換システムの第2の構成は、第一の構成において、前記一のクロックは、該TSI機能部から出力されることを特徴とする。

【0017】また、第3の構成は、第1または第2の構成において、前記TSI機能部は、前記主信号を記憶す

るメモリを備え、該メモリへの書き込みの順番と異なる順番で、該メモリから該主信号の読み出しを行なうことにより、該主信号のタイムスロット毎に交換して出力することを特徴とする。

【0018】更に又、第4の構成は、第1または第2の構成において、前記TSI機能部は、前記主信号を記憶する二つのメモリと、一のセレクトを備え、該二つのメモリからの読み出しを交互に行うように該一のセレクトを制御することを特徴とする。

【0019】更に、第5の構成は、第1または第2の構成において、前記TSI機能部は、 $n$ 個のそれぞれ、前記主信号を記憶する二つのメモリのセットと、 $n$ 個のメモリのセットに対応する $n$ 個の信号セレクトと、該 $n$ 個の信号セレクトの出力の内の一の信号セレクトの出力を選択して出力するセレクトを有することを特徴とする。

【0020】また、第6の構成は、前記第1から5の何れかの構成において、前記TSI機能部の出力を格納するメモリと、該メモリの出力にオーバーヘッド情報を挿入するオーバーヘッド情報挿入回路を備える信号発生部を有することを特徴とする。

【0021】更にまた、第7の構成は、第6の構成において、前記主信号は光信号であり、前記信号受信部は光信号/電気信号変換回路を有し、且つ前記信号発生部は電気信号/光信号変換回路を有することを特徴とする。

【0022】更に、第8の構成は、第6の構成において、前記主信号はSTM- $n$ 信号であり、前記信号受信部は該STM- $n$ 信号を複数のSTM-1信号に多重分離する回路を有し、前記信号同期化部は該多重分離されたSTM-1信号に対し位相同期するように制御することを特徴とする。

【0023】また、第9の構成は、入力されるSTM- $n$ 信号を複数のSTM-1信号に多重分離する第一手段と、該複数のSTM-1信号に対し、フレームタイミング位置を一致するように位相調整する第二手段と、該複数のSTM-1信号に多重化されているVC- $n$ 信号についてチャンネル毎にアラーム状態をモニタし、モニタしたアラーム状態を区別する信号を、該第二手段で位相調整された信号に付加して出力する第三手段と、VC-12 UNEQ信号が多重化されたSTM- $n$ 信号を生成する第四手段と、上位の該第三手段の出力または、前記第四手段の出力に、下位の該第三手段の出力の任意のVC- $n$ を挿入し、回線設定を行う手段とを有することを特徴とする。

【0024】第10の構成は、第9の構成において、更に、前記回線設定を行う手段は、回線設定によりクロスコネクタされた2つの信号の内のVC- $n$ 信号に付加されている状態信号により該2つの信号の内、いずれを選択すべきかを選択する回線選択手段を有することを特徴とし、時分割信号交換システム。

【0025】第11の構成は、第10の構成において

て、更に、設定されたタイムスロットにおいて、上位からの信号のアラームと、挿入すべき信号のアラームを比較して品質の高い方の信号を選択することを特徴とする。

【0026】第12の構成は、前記第9~11の何れかの構成において、前記回線設定を行う手段は、STM- $n$ 信号の1列分の信号とアラーム信号を保存できる容量のデータメモリを2面分有し、更に該データメモリから出力すべき1列分のデータのバイト毎の入力元の情報が保存されるアドレスメモリと、該アドレスメモリの内容により、UNEQ信号あるいは、該データメモリから出力されるデータのいずれかを選択出力するセレクトを備えたことを特徴とする。

【0027】更に、第13の構成は、第12の構成において、前記アドレスメモリに格納される前記入力元の情報は、UNEQ信号か前記データメモリから読み出したデータかの情報及び、データメモリから読み出すデータのアドレスを有し、且つ、該アドレスメモリは、タイムスロットが冗長を行なうものであるか否かを保存し、更に該スルー入力か前記データメモリから読み出したデータかの情報、該アドレスメモリタイムスロットが冗長を行なうものであるか否か及び各信号のアラーム情報により前記セレクトの選択を制御するセレクト判定回路を有することを特徴とする。

【0028】更にまた、第14の構成は、第9の構成において、前記STM- $n$ 信号がSTM-4信号であることを特徴とする。

【0029】

【本発明の実施の形態】以下本発明の実施の形態を図面に従って説明する。尚、図において、同一または類似のものには、同一の参照番号または、参照記号を付して説明する。

【0030】図1は、本発明に従う回線設定装置の実施の形態の機能ブロック図である。回線設定装置の基本的機能として、次の機能要素を有する。即ち、

- 1) 主信号である伝送信号の入力( $z-1$ )処理機能
- 2) 信号同期化
- 3) TSI機能(Time Slot Interchange: タイムスロットの入れ替え)
- 4) 主信号の出力( $z-2$ )処理機能
- 5) ユーザーインタフェース機能

上記主信号として基幹系信号においては、高速の信号がより低速な信号を多重化して構成されている。例えばITUの定めるSTM-1信号(伝送速度: 155.52 Mbit/s)は、TU12信号(伝送速度: 2.304 Mbit/s)を63ch分多重化している。

【0031】TSI機能部3におけるTSI処理は、高速信号に多重化されている低速信号の構成を変更したり、高速信号そのものを別の高速信号に置き換えることである。本発明のクロスコネクタ(回線設定)装置の1

つの特徴は、かかるTSI機能を提供することにある。

【0032】上記の図1における機能ブロックの各機能について更に説明する。第1に、入力(z-1)処理機能部1は、主信号z-1(たとえばSTM-1光信号)を入力し、ALM情報を検出し、マイクロコンピュータバスs-9を通して信号同期化部2に警報(ALM)情報s-3を出力し、また主信号z-1をALMの発生状況に応じて例えば、AIS信号に変換して主信号s-1として出力する。また、入力処理機能部1からの信号s-2は、クロック信号である。

【0033】信号同期化部2は、信号入力処理機能部1より主信号s-1、ALM情報s-3の位相を入力し、TSI機能部3からのクロックs-6に乗り換えてそれぞれ信号s-4、s-5として出力する。

【0034】この際、信号同期化部2は、VC(virtual container)と呼ばれる各チャネル(回線)毎の信号の先頭バイト(Byte)の位置をそろえて出力する。また、全体としてエラスティックメモリとして働き信号入力処理機能部1とTSI機能部3との間に生じる周波数変動を吸収する。

【0035】TSI機能部3は、信号同期化部2からの主信号s-4をそのタイムスロット毎に交換し、出力する際その順番を変えて信号s-7として出力する。その際、ALM情報s-5を基にしてそのALMの発生具合に応じ、信号s-7の内容を変更する。

【0036】同時に、信号s-7の先頭を示すタイミングパルスと同相であるクロックs-8を出力する。

【0037】更に、出力(z-2)処理機能部4は、主信号s-7とクロックs-8とを入力し、光信号z-2に変換して出力する。この際、ユーザーインタフェース部5よりのオーバーヘッド情報等を、バスインタフェースs-9を通して取り込み、主信号に挿入する。

【0038】次に、上記各機能ブロックの詳細構成について説明する。

【0039】1)主信号である伝送信号の入力(z-1)処理機能部1:受信入力される主信号z-1を処理するためには、その信号の先頭位置が確定していなければならない。そのために、まず主信号z-1の復号(例えば、デスクランブル)を行い、主信号z-1の先頭位置を特定する。

【0040】主信号z-1中には先頭位置を示す特別な信号[例えば、STM-4のセクションオーバーヘッドに挿入されるフレーム同期をとるための固定のビットパターンA1バイト(Byte)]があり、これを目印に同期処理を行う。

【0041】この同期処理を行うのが同期処理回路12である。これはフレーム周期を持つカウンタと、パターン検出回路により実現される。このカウンタにより、主信号z-1中に存在する様々なオーバーヘッド信号位置や、低速信号の位置が特定できる。従って、必要に応じ

て個々に低速信号の抽出処理を行うことも可能である。これはDEMULPLICATION(=DMUX)と呼ばれる。

【0042】個々に抽出されたオーバーヘッド情報は、オーバーヘッド情報処理回路13に入力され、そこで内容の演算処理[例えばB1、B2、B3バイト(Byte)のパフォーマンスカウント]を行う。ここで検出したALMはALM処理回路11に入力される。

【0043】ALM処理回路11では、信号受信回路10で検出した様々な信号を収集し、これらを優先順位に処理(例えば、信号欠落検出時には信号同期検出を禁止する。)する。

【0044】これらの処理の結果、ALM情報a-6、オーバーヘッド情報a-7は、バス(Bus)インタフェース回路14を通して、ユーザーインタフェース部5に通知される。

【0045】また、主信号z-1は、発生するALMにより特別な信号に加工する必要がある場合がある。例えば、光入力信号断によるAIS処理である。これを行うのが信号変換回路15であり、前記AIS処理は、発生したALMにより信号を"1"固定にマスクすることにより実現される。

【0046】図2は、入力(z-1)処理機能部1の構成例機能ブロック図である。入力された主信号z-1が光信号である場合、電気信号に変換する必要がある。光信号/電気信号変換回路10により光入力信号が、電気信号に変換されa-1として出力され、またクロック信号s-2が抽出される。

【0047】図3は、上記入力される主信号z-1がバイポーラ信号である場合の構成例である。光信号/電気信号変換回路10の代わりに、バイポーラ信号変換回路10を備える。

【0048】バイポーラ信号変換回路10は、ITUまたはSONETの定めるバイポーラ形式の電気信号z-1-bであり、これよりデータ成分a-1(形式は一般的にNRZ)とクロック成分s-2を抽出する。

【0049】上記において光信号/電気信号変換回路10は、ITUまたはSONETの定める形式の光伝送信号z-1を受信し、これよりデータ成分a-1(形式は一般的にNRZ)とCLK成分s-2を抽出する。また入力信号の異常を示すALM情報a-3(たとえば、受信信号レベル)を検出し、ALM処理部11に通知する。

【0050】同様に図3において、入力受信光あるいは、入力バイポーラ信号が所定レベル以上である場合などの警報(ALM)a-3情報は、ALM検出回路11に送られる。

【0051】同期処理回路12は、光信号/電気信号変換回路10またはバイポーラ信号変換回路10よりデータ成分a-1を取り込み、高次群の中に多重されている

より次群の低い信号a-2とオーバーヘッド(over head)情報a-5を分離し、信号a-2は信号変換回路15に、情報a-5はオーバーヘッド情報処理回路13に出力する。

【0052】オーバーヘッド情報処理回路13は、情報信号a-5を入力し、それを加工し[B1 バイト(byte)情報よりパフォーマンス情報を算出する]、このうちALM情報は、信号a-4として出力し、その他の情報は信号a-7として出力する。尚、図3の構成では、ALM情報信号a-4は、直接に同期処理回路12から出力される。

【0053】ALM処理回路11は、信号a-3とa-4を取り込み、優先順位処理等を行い、信号変換回路14の信号変換トリガである制御信号a-8と、ALM情報a-6を出力する。

【0054】信号変換回路15は、制御信号a-8により、同期処理回路12よりの主信号a-2を別の信号、例えばAIS信号に変換し、信号s-1として出力する。

【0055】バスインタフェース回路14は、ALM処理回路11とオーバーヘッド情報処理回路13よりの信号a-6、a-7を取り込み、これをバスデータs-9に変換して出力する。

【0056】2) 信号同期化部2: 信号同期化部2は、入力(z-1)処理機能部1より、主信号s-1、ALM情報s-3の位相を、TSI機能部3からのクロックs-6に乗り換えてそれぞれ信号s-7、s-8として出力する。図4に示すようにメモリ回路20、信号形式変換回路21、メモリ書き込み回路22とメモリ読み出し回路23より構成されている。

【0057】メモリ回路20は、マトリックス形式の信号を一時的に蓄えておくデバイスであり、入力(z-1)処理機能部1から送られる主信号s-1とALM情報s-3をメモリ書き込み回路22よりの書き込みクロックb-1に同期して書き込みを行う。

【0058】メモリ読み出し回路23からの読み出しクロックb-2により、その内容の全部又はVC(virtual container)部のデータ(DATA)b-3とそれに付帯するALM情報b-4を読み出す。

【0059】信号形式変換回路21は、メモリ回路20からの読み出しデータ(DATA)b-3が、信号s-1に対し全ての内容を持っている場合は、信号形式変換回路21で処理しやすい形式にシリアル/パラレル処理を行う。

【0060】読み出しデータ(DATA)b-3がVCである場合は、固定スタッフ信号やオーバーヘッド信号を挿入し、各チャネル信号の先頭バイト(Byte)の位置が揃うように処理し、信号s-4として出力する。

【0061】また、ALM情報b-4は、主信号s-4と位相が一致するようにタイミング調整され、ALMs

-5として出力される。

【0062】3) TSI機能部3: TSI機能部3の構成が、図5に示される。TSI回路30、制御信号発生回路31、バスインタフェース回路32及びUNEQUIPPED信号発生回路33を有して構成される。TSI回路30は、入力された主信号s-4をTSI回路30の一部であるが、図5では示されていないメモリに蓄え、それを制御信号回路31よりの制御信号c-1に従い主信号s-7として読み出しを行う。

【0063】その際に、入力時とは異なる順番での読み出しを行うことでTSI(TimeSlot Interchange)が行われる。

【0064】UNEQUIPPED信号発生回路33は、UNEQUIPPED信号もTSIの対象とするものであり、UNEQUIPPED信号を発生し、出力する。

【0065】ここでTSIを実現するためには、主信号s-4(TSI機能部3への入力)中の各レベルにおける先頭位置を確定させる。このためには、先ずビットレート150.336Mb/sのバーチャルコンテナVC-4のJ1 バイト(Byte)を固定させる。

【0066】例えば、図6は、位相同期化されたSTM-1信号を示し、STM-1>AU-4>TUG-3>TUG-2>TU-12/TU-2形式で信号がマッピングされている例である。

【0067】図中\*1は、STM-1のオーバーヘッドのマッピング位置で、先頭バイト(Byte)をA1バイト(Byte)としている。これにより、TU-3のポインタバイト(pointer byte)やTU-2/TU-12のV1バイト(Byte)も1列(row)目に位置するようになり、全階層の信号が整然と配列するようになる。

【0068】このためには、STM-1信号より抽出したVC-4信号をメモリに蓄えておき、上記形式にマッピングできる所定のタイミングでSTM-1信号に再マッピングを行う。これを実行するのが信号同期化部2である。

【0069】信号同期化部2のメモリ20に読み込んだ主信号(VC-4信号)を、TSI機能部3の要求する所定のタイミング信号s-6に関連付け読み出し、図6に示す信号形式にマッピングする。

【0070】その手順を、図7に示す。TSI処理を行うために、STM-1信号は再びTSI回路30のメモリに入力される。STM-1信号をメモリに書き込み易くするために、事前にパラレル信号に展開する。

【0071】例えば、STM-1信号は1バイト(Byte)が意味のある最小の信号単位であるので、これにあわせて信号を8つのパラレル信号に展開しておく。この処理は、信号同期化部2のメモリ読み出し部23で行われる。

【0072】また、バス切換を行う場合は、個々のバイト(Byte)に合わせてALM信号を付加しておく。例えば、主信号8本に対し、ALM信号が1本付加される。

【0073】ここでTSI機能部3のTSI回路30は、一例として図8または、図9～図11のように構成される。入力信号S-4により主信号を一括処理する場合、図8の構成となる。一方、主信号をいくつかのメモリに分散して処理する場合、図9～図11の構成となる。

【0074】図8では、二つのメモリ300、301と信号セクタ302から構成される。二つのメモリ300、301は、主信号s-4を取り込み、信号セクタ302からの制御信号c-1に従い、異なる読み出し順序で、制御信号s-7として出力する。

【0075】二つのメモリ300、301は、ある周期Tにおける主信号及びALMの情報を全て蓄えることができる容量を持ち、制御信号c-1により読み書き可能なメモリである。

【0076】したがって、TSI機能部3に入力された主信号s-4は、メモリ300、301に交互に書き込まれる。交互に書き込まれるのは、読み出す時にランダム読み出しを行うためであり、完全にデータをメモリ300、301内に取り込んでから読み出す必要があり、絶え間なく入力される主信号に対し、常に読み出しと同時に、書き込みを行なうメモリーに見せるためである。

【0077】即ち、TSI回路30では、制御信号c-1に従い、主信号s-4の取り込みと、順序を変更した主信号の読み出しを、例えば13.89 $\mu$ sの周期で図12に示されるごとく交互に行う。信号セクタ302は、制御信号発生回路31よりの制御信号c-1によって、メモリ300、301の読み出し信号c1-1.1、c1-1.2の内、読み出し状態にある側を選択し、主信号s-7として出力する。

【0078】また、信号c-1によりUNEQUIPPED信号の選択が指示されている場合は、UNEQUIPPED信号c-4を選択する。

【0079】次にTSI回路30の他の例として、図9の構成では、2n個のメモリセット300-1～n、301-1～n、n個の信号セクタ302-1～n及び1つの信号セクタ303を有して構成されている。

【0080】更に、図10の構成も同様に、TSI回路30に複数の主信号s-4.1～s-4.nに対してそれぞれ対応に図8の構成を採る。且つ第二の信号セクタ303、その他、並列/直列変換回路304を設けている。

【0081】図11の構成では、第三の信号セクタ305を設けて、主信号を選択出力する。

【0082】図11のTSI回路30の構成では、図9のTSI回路30の構成に対し、信号セクタ303の後段にシリアル/パラレル変換回路304を追加し、更

にシリアル/パラレル変換回路304の後方に、信号セクタ305を備え、制御信号c-2-7に従いバススイッチを行う。これよりの信号セクタ305により、いくつかの主信号s-7.1～s-7.mに分解して出力する。

【0083】かかる主信号をいくつかのメモリに分散して処理する図9～図11のTSI回路30の構成では、制御信号発生回路31内のメモリ313に蓄える読み出しアドレス情報の量を増加させ、それに比例し読み出し制御信号c-1の速度を増加させることにより、TSI回路30に対する主信号s-7の量を増加させる。

【0084】また、図9～図11において、メモリセット300-1～n、301-1～nにおいて、個々のメモリの構成は、図8のメモリ300、301と同じであり、入力される個々の主信号主信号s-4.n(n=1～n)のある周期Tにおける主信号及びALMの情報を全てを、蓄えることができる容量を持ち、制御信号制御信号c-1nにより読み書き可能である。

【0085】従って、主信号s-4.n(n=1～n)を取り込み、制御信号c-1.n(c-1は、後に説明するように、制御信号発生回路31からのCLK c-1clk, ACM data c-1.acm1, c-1.acm2, c-1.selを含む)に従い主信号s-4.n(n=1～n)の取り込みと、順序を変更した主信号c1-1.1.1～c1-1.1.n, c1-1.2.1～c1-1.2.nを交互に読み出す。

【0086】また、c-1によりUNEQUIPPED信号の選択が指示されている場合は、UNEQUIPPED信号c-4を選択する。

【0087】更に、信号セクタ302-1～nは、個々のメモリセット300-1～n、301-1～nよりの主信号c1-1.1.1～c1-1.1.n, c1-1.2.1～c1-1.2.nを制御信号発生回路31(図5参照)よりの制御信号c-1.selによって読み出し状態にある側を選択する。

【0088】信号セクタ303は、個々の信号セクタ302-1～nからの主信号c1-2.1～c1-2.nを以下に説明する制御信号発生回路31よりの制御信号c-1.sel2によって選択し、主信号s-7として出力する。

【0089】TSI機能部3の制御信号発生回路31は、タイムスロット入れ替え(信号交換)に関するマスタークロックであるs-6.clk, s-1.clk, s-8.clk及び、TSI回路30を制御する制御信号c-1(c-1.sel, c-1.acm1, c-1.acm2)を出力する。

【0090】制御信号発生回路31は、一例として図13に示す構成であり、図8のTSI回路30と組みあわせて使用される。また、バススイッチ制御を行う機能を有していないものである。クロック(CLK)発信器310、パルス発生回路311、制御信号セクタ312、メモリ313及びメモリ制御回路314により構成されている。

【0091】クロック(CLK)発信器310がタイムスロット入れ替え(信号交換)に関するマスタークロック



クであるs-6.clk、c-1.clk、c2-1を発生する。パルス発生回路311は、TSI処理に必要な各種タイミングパルスs-6.tp、s-8.tp及びTSI回路30に対する制御信号c-1.selを生成する。

【0092】メモリ313は、TSI回路30のメモリ300、301の読み出しアドレス信号となる情報c2-4信号をメモリ制御回路314より入力し、格納する。更にパルス発生回路311よりの制御信号c2-2に従い、周期的に制御信号c2-6として出力する。

【0093】メモリ制御回路314は、バスインタフェース回路部32(図5参照)よりのTSI設定情報c-3を取り込み、メモリ313に書き込みを行う。またバスインタフェース回路32に、設定信号確認のための情報出力c2-4を行ったり、メモリ313より確認のためアドレス情報の読み込みを行う。

【0094】制御信号セクタ312は、パルス発生回路311より出力される書き込みアドレス信号c2-2と、メモリ313からの読み出しアドレス信号c2-6とを選択出力する。

【0095】この書き込みアドレス信号c2-2は、カウントアップ信号であり、メモリ313にシーケンシャルな書き込みをするためのアドレス信号であり、メモリ313がリード(read)/ライト(write)を繰り返すのに同期して、TSI用の制御信号c2-6と制御信号セクタ312において交互に選択され、制御信号c-1.acm1、c-1.acm2として出力される。

【0096】メモリ313のread/writeの周期は、1列(row)分の時間(125/9μs)で行われる。STM-1信号は、図6に見られるように列(row)毎に同じ信号配列をしているので、1列(row)分のデータを取り込めばTSIは十分行うことができる。

【0097】また、信号フォーマットを限定すれば、1/4列(row)でもTSIは可能である。一度メモリ内に取り込んだデータは、出力時にランダム読み出しが可能である。これを利用して、TSIを実現する。例えば、図14に示されるように、メモリ入力時と出力時では、列100と101のデータが入れ替わっている。

【0098】またメモリ313が複数設ける場合は、セクタで選択するように構成もできる。更に、バススイッチを行う場合、ALM情報によりメモリの制御信号を選択する方式と、TSI後の主信号を選択する方式がある。

【0099】メモリの制御信号を選択する方式は、図15に示す制御信号発生回路31の構成例のように、あらかじめALM発生時とALM不発生時に選択すべき信号の情報をそれぞれメモリ313-1、313-2に蓄えて置く。

【0100】更に、信号判定回路316と第2の制御信号セクタ315を設け、これらによりALMの発生状

況に応じてメモリ313-1、313-2の出力のいずれかを選択する。制御信号そのものがALMの発生状況に応じて切り替わるため、これに応じて主信号も切り替わる。

【0101】即ち、図15に示す制御信号発生回路31の例では、図8のTSI回路30に対応した制御信号発生回路であるが、バススイッチ制御を行う機能を有している。CLK発信器310、パルス発生回路311、制御信号セクタ312、メモリ313-1、313-2、メモリ制御回路314及び信号判定回路316より構成されている。

【0102】制御信号発生回路31からは、クロスコネク(信号交換)に関するマスタークロックであるCLK s-6.clk、c-1.clk、s-8.clkを発生する。また、各ブロックをタイミング制御するタイミングパルスs-6.tp、s-8.tpを出力する。更に、TSI回路30を制御する制御信号C-1(c-1.sel、c-1.acm1、c-1.acm2)を出力する。

【0103】図13の制御信号発生回路31との構成の違いは、ALM情報s-5を取り込み、これに従いTSI回路30のメモリ300、301を制御する制御信号c-1.acm1、c-1.acm2の内容が切り替わる点である。

【0104】更に、図15において、メモリ313-1、313-2は、図8のTSI回路30の構成に対し、メモリ300及び301の読み出しアドレス信号となる情報c2-4.1、c2-4.2をメモリ制御回路314より入力し蓄え、パルス発生回路311よりの制御信号c2-2により、周期的に出力を行う。

【0105】図15において、メモリ制御回路314は、TSI回路30の対応するメモリの増加に伴い、出力信号がc2-4.1、c2-4.2と入力信号がc2-5.1、c2-5.12と増加する。

【0106】信号判定回路316は、信号同期化部2よりの回線ALM信号s-5を基に、メモリ313-1又は、313-2のいずれかを選択する選択制御信号を出力する。制御セクタ312は、信号判定回路316からの制御信号c2-7に従い、メモリ313-1又は、313-2より出力されるいずれかの読み出しアドレス信号を選択し、出力する。

【0107】制御信号セクタ312は、図15の構成では、パルス発生回路311より出力される書き込みアドレス信号c2-2と、信号制御セクタ312よりの出力信号c2-6.cとを切り替え選択する。

【0108】更に、図16は、図9に対応した制御信号発生回路31である。バススイッチ制御を行う機能を有していないものであり、CLK発信器310、パルス発生回路311、制御信号セクタ313、メモリ313及びメモリ制御回路314より構成されている。

【0109】タイムスロット交換(信号交換)に関するマスタークロックであるCLK s-6.clk、c-1.clk、



s-8.clkを発生する。また各ブロックをタイミング制御するタイミングパルスs-6.tp, s-8.tpを出力する。

【0110】TSI回路30を制御する制御信号C-1(c-1.sel, c-1.acm1, c-1.acm2, c-1.sel2)を出力する。

【0111】メモリ313は、メモリ300、301の読み出しアドレス信号となる情報c2-4信号をメモリ制御回路314より入力し蓄え、パルス発生回路311よりの制御信号c2-2に従い周期的に制御信号c2-6として出力を行う。但し、図9のTSI回路30で使うときには、TSI回路30の信号セクタ303を制御する信号c-1.sel2も出力する。

【0112】図17の制御信号発生回路31の構成例とする場合は、図9のTSI回路30に対応した制御信号発生回路であるが、バススイッチを制御する機能を有しており、CLK発信器310、パルス発生回路311、制御信号セクタ316、とメモリ313-1、313-2、メモリ制御回路314及び信号判定回路315、及び制御信号セクタ312より構成されている。

【0113】信号交換に関するマスタークロックであるCLK s-6.clk, c-1.clk, s-8.clkを発生する。また各ブロックをタイミング制御するタイミングパルスs-6.tp, s-8.tpを出力する。

【0114】TSI回路30を制御する制御信号C-1(c-1.sel, c-1.acm1, c-1.acm2, c-1.sel2)を出力する。

【0115】図16の制御信号発生回路31との違いはALM情報s-5を取り込み、これに従いTSI回路30のメモリ300、301を制御する制御信号c-1.acm1, c-1.acm2及びc-1.sel2の内容が切り替わる点である。

【0116】図18は、図11のTSI回路30に対応する制御信号発生回路の例である。図16の構成に更に信号判定回路315が付加され、ALM情報s-5を入力し、制御信号c2-7を出力する。

【0117】4) 伝送信号発生部4: 図19は、伝送信号発生部4(図1参照)の構成例である。メモリ回路40、メモリ読み出し回路41、オーバーヘッドバイト(Over head byte)挿入回路42、信号多重回路43、信号変換回路44及び、バスインタフェース回路45を備えている。

【0118】TSI機能部3から主信号s-7とクロックs-8.clkとタイミングパルスs-8.tpを入力し、光信号z-2に変換し、出力する。

【0119】この時、ユーザインタフェース部5からオーバーヘッド情報等をバスインタフェースs-9を通して取り込み、主信号に挿入する。

【0120】メモリ回路40は、TSI機能部3よりの主信号s-7を取り込み記憶する。また、メモリ読み出し回路41よりの読み出しクロックd-1により、蓄え

たデータを出力する。

【0121】メモリ読み出し回路41は、TSI機能部3からクロックs-8.clkとタイミングパルスs-8.tpを入力し、メモリ回路40の読み出しを制御する読み出しクロックd-1を出力する。

【0122】オーバーヘッドバイト(Over head byte)挿入回路42は、メモリ回路40から読み出した主信号d-2を取り込み、所定のタイムスロットにオーバーヘッド(over head)情報を挿入する。この際、バスインタフェース回路45よりのオーバーヘッド(over head)情報d-3を取り込み挿入する。

【0123】信号多重回路43は、オーバーヘッドバイト(Over head byte)挿入回路42よりの主信号d-4を、シリアル/パラレル変換し、信号変換回路44にあう形式に変換する。この際スクランブル等のコード化処理も行う。

【0124】信号変換回路44は、電気/光信号変換する機能を有し、信号多重回路43よりの主信号d-5を光信号z-2(たとえば、STM-1信号)に変換し、出力する。

【0125】バスインタフェース回路45は、ユーザインタフェース部5とバス接続されており、ユーザが指定したオーバーヘッド(over head)情報d-3を、オーバーヘッドバイト(over head byte)挿入回路42に引き渡す。

【0126】尚、信号変換回路44は、上記の電気/光信号変換する機能を持つ替わりに電気信号としてバイポーラ信号を出力する出力回路とすることも可能である。

【0127】この場合、バイポーラ信号の出力回路として機能する信号変換回路44は、信号多重回路43よりの信号を、例えば140Mbpsの電気信号として、出力する。

【0128】TSI機能部3より出力された主信号は、信号発生部4のメモリ40に入力される。これはTSI機能部3のCLK発信器310とは別の同期したクロック信号源に主信号を乗り換えるためである。

【0129】この際、AU-4ポインタ(pointer)の付け替えが行われる。さらにオーバーヘッド(Over head)挿入回路42により主信号の特定の位置にオーバーヘッド情報が挿入される。また、ユーザインタフェース部5とバス接続しているバスインタフェース回路45より、顧客設定の情報も挿入される。

【0130】さらに信号多重回路43で、主信号をシリアル/パラレル変換し、信号変換回路44に敵した信号形式に変換される。この時、主信号の符号化(スクランブル等)やパリティの不可、挿入(B1 Byte等)も行う。

【0131】そして最後に信号変換回路44により光信号z-2に変換され出力される。

【0132】5) ユーザーインタフェース機能: ユーザーインタフェース部5の機能として、受信した主信号のALM情報、パフォーマンス情報、オーバーヘッド情報等をディスプレイ、端末等に表示したり、顧客設定した回線情報を実現するために演算回路を用いて演算し、その結果をバス信号を通してTSI機能部3に入力したり、顧客設定のオーバーヘッド(over head)情報を信号発生部4に伝達する。

【0133】即ち、ユーザーからの設定を、信号受信部1、TSI機能部3あるいは信号発生部4にバスs-9を介して伝達したり、受信した主信号の状態(ALM等)や受信主信号中のオーバーヘッド(over head)情報等を、ディスプレイ等に表示する仲介処理を行う。

【0134】ユーザーインタフェース部5の一例が図20に示される。バスコントローラ(Bus controller)50、メモリ51、CPU52及び外部インタフェース回路53により構成される。

【0135】バスコントローラ(Bus controller)50は、信号入力処理発生部1、TSI機能部3、あるいは、信号発生部4中のバスインタフェース回路とバス接続s-9し、ALM情報やオーバーヘッド(over head)情報の授受を行う。

【0136】メモリ51は、ユーザーの設定する回線設定情報やオーバーヘッド(overhead)上や入力信号処理部1より収集したALM情報やCPU52が演算で使用する一時的な情報を蓄える。

【0137】CPU52は、は、バスコントローラ(Bus controller)50、メモリ51、及び外部インタフェース回路53と接続し、それぞれの入出力情報を演算により形式変換する。

【0138】外部インタフェース回路53は、ユーザーとインタフェースするための様々な機器(たとえば、ディスプレイ、キーボード、ポータブル端末)とのインタフェースポートを持ち、これらよりのデータをCPU52に伝えると同時に、メモリ51に保持されている様々な情報をCPU52経由で、これらインタフェースポートより出力する。

【0139】次に上記に詳述した本発明の実施の形態について、入力をSTM-4×2本、STM-1×8本としてクロスコネク(回線設定)を行う実施例を図21に示す。

【0140】尚、図21においては、先に説明した実施の形態の図面を一部簡略し、また接続順番を変更している。図示されるように入力としてSTM-4信号が2本、STM-1信号が8本それぞれ信号入力処理機能部1に入力し、信号入力処理機能部1内の光信号/電気信号変換回路10により電気信号に変換される。

【0141】さらに、STM-4信号には、STM-1信号が多重化されており、一方信号入力処理機能部1内

のALM処理回路11では、ALMモニタの信号の処理を共通でSTM-1レベルの信号で行っている。この為、信号入力処理機能部1の同期処理回路12によりSTM-4信号は、4本のSTM-1信号に分離される。

【0142】また、クロスコネク(回線設定)装置に入力する各STM-n信号は、フレームタイミングがバラバラであるが、クロスコネクのためには、各信号のタイムスロット位置を合わせておく必要がある。

【0143】したがって、図4に示される信号同期化部2のメモリ20の書き込み、読み出しタイミングを制御して、全ての入力STM-1信号についてフレームタイミング位置を調整し、一致させる。

【0144】上記のALMモニタの信号の処理を行なうALM処理回路11では、各入力STM-1信号内に多重化されているVC-n信号についてチャンネル毎にアラーム(ALM)の状態をモニタする。

【0145】モニタされたALMの状態により各チャンネル信号の状態をSF(Signalfail)、SD(Signaldigrade)、NO-ALM状態等を区別する信号を出力する。

【0146】次いで、主信号データをアラーム信号と伴に、回線設定をし易くするために信号同期化部2の信号変換回路21でSTM-1信号をSTM-4信号に多重化する。多重化されたSTM-4信号は、TSI機能部3に入力される。

【0147】TSI機能部3のUNEQ信号発生回路33は、VC-12 UNEQUIPPED信号を252チャンネル分多重したSTM-4信号を発生する。TSI機能部3のTSI回路30は、回線設定回路131~164を有する。

【0148】ここで図21に示す実施例のTSI回路30を先に説明した実施の形態とを比較すると、図22に模式的に示される通りである。即ち、図22(1)は、先に説明したTSI回路30の構成であり、回線設定素子100は、メモリ300、301及び信号セクタ302の集合体に相当する。また、セクタ101は、セクタ303(図9参照)に対応する。

【0149】したがって、回線設定素子100のそれぞれの出力を一括してセクタ101に入力し、これから1の回線設定素子100の出力を選択するように構成されている。

【0150】これに対し、図21の実施例では、図22(2)に示すように、回線設定回路131~164の各々を、回線設定素子100とセクタ102で構成し、セクタ102をカスケードに接続している。

【0151】尚、図21の実施例では、回線設定素子が計16あるのは縦4個を1組としてSTM-4分のTSIを実施しているためである(計4組でSTM-16に相当)。尚、縦1組でSTM-16のTSIができないのは、デバイスのスピードに限界があるためであり、ス

ビードを1/4にし、その分回線規模を4倍にしている。

【0152】TSIの処理情報量は、アドレスのスピードにより可変である。アドレスのスピードをSTM-16相当にすれば図21の回線設定素子は、縦1組で十分となる。

【0153】図21の実施例では、UNEQ信号発生回路33または上位の回線設定回路からのスルー信号に信号変換回路21からのSTM-4信号の任意のVC-nを挿入する。この際、VC-n付加されている状態信号も一緒に回線設定される。

【0154】更に、回線選択（バススイッチ：PSW）回路140、141を設け、回線設定回路131~164によってクロスコネクタされた2本の信号内のVC-n信号が付加されている状態信号により2つの信号の内どちらの信号を選択すべきかを選択する。

【0155】又、冗長しないチャンネルについては、選択されずにそれぞれ出力される。この構成では回線設定素子を縦方向に多段に接続を増やすことで、入力信号の容量を増やすことができ、横方向に多段に接続する増やせば、出力信号の容量が増える。このように全体としての回線設定容量を容易に増やすことができる。

【0156】ここで図21の実施例における回線設定回路131~164の構成例を図23に示す。回線設定素子100としてデータメモリで構成する。データメモリ100は2面有し、それぞれの面はSTM-4信号の1列（row: 125/9μs）分の信号と3ビットのALM信号を保存できる容量を持つ。

【0157】1列（row）分の容量とすることは、チャンネルの繰返しが1列（row）毎に行われる為である。1面が書き込み状態で、左から信号が入力順に書き込まれている間、もう1面では1列（row）前のデータが書き込まれ、アドレスメモリ103からのアドレスによって任意のアドレスのデータが読み出されている。このようにして、1列（row）毎に書き込みと読み出しが入れ代わる。

【0158】アドレスメモリ103には、出力すべき信号の1列（row）分のデータのバイト毎の入力元の情報が保存されている。この時の入力元の情報として以下のものが格納されている。また、メモリの情報は、外部から書換え可能である。（1）スルー入力であるか、あるいはデータメモリ100から読み出したデータであるか。（2）データメモリ100から読み出すデータアドレスデータメモリ100の出力及びスルーデータがセクタ102に入力される。そして、アドレスメモリ103の内容によりスルーデータかデータメモリ100からのデータかを選択する。尚、選択する際は、双方のデータのフレームタイミング位置が一致している必要がある。

【0159】上記の図21の実施例における各部の信号

のタイムチャートが図24、図25に示される。図24、図25におけるカッコの数字のタイミングは、図21における対応する数字の部分に対応する。

【0160】更に、図26は別の実施例であり、ALM情報によりメモリの制御信号を選択する方式のバススイッチ例である。構成は、図21と同様に入力にSTM-4×2本、STM-1×8本のクロスコネクタの例を示す。

【0161】図21の実施例と同様に、上部のUNEQ発生または回線設定回路からのスルー信号に多重化されたSTM-4信号の任意のVC-nを挿入する。この際、VC-nに付加されている状態信号も一緒に回線設定される。

【0162】又、設定されたタイムスロットにおいては上位からの信号のALMと挿入すべき信号のALMを監視し、品質の良い方を選択する。これにより冗長機能も実現する。

【0163】図27は、図26の実施例に使用される回線設定回路の構成である。図21の実施例に使用される図23の回線設定回路との相違は、セクタ判定回路104を有する点である。ここでのセクタ判定回路104は、先に説明した制御信号セクタ312と判定回路315（例えば、図17参照）に相当する。

【0164】データメモリ100は、STM-4信号の1列（row: 125/9μs）分の信号と3ビットのALM信号を保存できる容量を持つメモリを2面有して構成される。

【0165】1列（row）分の容量とするのは、チャンネルの繰返しが1列（row）毎に行われる為である。1面が書き込み状態で左から信号を入力順に従って書き込まれている間に、もう1面には1列（row）前のデータが書き込まれており、アドレスメモリからのアドレスによって任意のアドレスのデータが読みだされる。このように、1列（row）毎に書き込みと読み出しが入れ代わる。

【0166】アドレスメモリ103は、出力すべき信号の1列（row）分のデータのバイト毎の入力元の情報と、冗長を行うかの情報が保存されている。メモリの情報は、外部から書換え可能である。入力元の情報として以下のものが格納されている。

（1）スルー入力かDATAメモリから読みだしたデータか。

（2）データメモリから読み出すデータのアドレス

（3）そのタイムスロットは冗長されるかされないか。

【0167】セクタ判定回路104は、アドレスメモリ103からの上記（1）、（3）の情報と各信号からのALM情報によって、どちらを選択すべきかを判定する。この判定の内容を整理すると、図28のようになる。

【0168】したがって、セクタ102は、セクタ

判定回路104の判定結果によって、アドレスメモリ103の内容によりスルーデータかデータメモリ100からのデータかを選択する。選択する際は、双方のデータのフレームタイミング位置が一致している必要がある。

【0169】上記図26の実施例における各部の信号のタイムチャートが図29、図30に示される。図29、図30におけるカッコの数字のタイミングは、図26における対応する数字の部分に対応する。

【0170】更に、図23の回線設定回路を用いてAdd/Drop 多重化回路(MUX)を図31に示すように構成できる。Add/Drop MUXとは二方向の高次群信号に対して1方向の低次群の信号が装置にインタフェースしており、クロスコネクタ機能が限定されているものを言う。

【0171】この限定とは高次群同志の接続においてはタイムスロットの入替え不可能であることを言う。高次群と低次群の接続においては自由にタイムスロットの入替えが可能である。かかる実施例における各部の信号のタイムチャートが図32、図33に示される。図32、図33におけるカッコの数字のタイミングは、図31における対応する数字の部分に対応する。

【0172】

【発明の効果】以上実施の形態に従い説明した通り、本発明によれば大規模な回線設定機能が実現可能である。そして、高信頼性を確保することができる為に、回線冗長機能と共に効率的な回路構成が実現できる。よって、回線設定機能の有効・無効の設定がフレキシブルな構成にできると共に効率的な回路構成が実現できる。

【0173】又、同様の回線設定回路を用いてAdd/Drop MUX装置を構成可能である。

【図面の簡単な説明】

【図1】本発明に従う回線設定装置の実施の形態の機能ブロック図である。

【図2】入力(z-1)処理機能部1の構成例機能ブロック図である。

【図3】入力される主信号z-1がバイポーラ信号である場合の構成例である。

【図4】信号同期化部2の構成例ブロック図である。

【図5】TSI機能部3の一構成ブロック図である。

【図6】位相同期化されたSTM-1信号を示し、STM-1>AU-4>TUG-3>TUG-2>TU-12/TU-2形式で信号がマッピングされている例である。

【図7】信号同期化部2のメモリ20に読み込んだ主信号(VC-4信号)を、読み出す手順の説明図である。

【図8】TSI機能部3のTSI回路30の構成例ブロック図である。

【図9】TSI機能部3のTSI回路30の他の構成例ブロック図である。

【図10】TSI機能部3のTSI回路30の更に他の

構成例ブロック図である。

【図11】TSI機能部3のTSI回路30の更にまた別の構成例ブロック図である。

【図12】TSI回路30からの主信号の読み出しを説明する図である。

【図13】制御信号発生回路31の一例ブロック図である。

【図14】TSIによりタイムスロットが入れ替わる例を示す図である。

【図15】制御信号発生回路31の構成例ブロック図である。

【図16】図9に対応した制御信号発生回路31の構成例ブロック図である。

【図17】制御信号発生回路31の他の構成例ブロック図である。

【図18】図11のTSI回路30に対応する制御信号発生回路の一例である。

【図19】伝送信号発生部4の構成例ブロック図である。

【図20】ユーザーインタフェース部5の一例ブロック図である。

【図21】入力をSTM-4×2本、STM-1×8本としてクロスコネクタ(回線設定)を行う実施例ブロック図である。

【図22】図21に示す実施例のTSI回路30を先に説明した実施の形態とを比較を説明する図である。

【図23】図21の実施例における回線設定回路131~164の構成例ブロック図である。

【図24】図21の実施例における各部の信号のタイムチャート(その1)である。

【図25】図21の実施例における各部の信号のタイムチャート(その2)である。

【図26】STM-4×2本、STM-1×8本のクロスコネクタの他の例を示す。

【図27】図26の実施例に使用される回線設定回路の構成である。

【図28】セレクト判定回路104の判定の内容を整理して説明する図である。

【図29】図26の実施例における各部の信号のタイムチャート(その1)である。

【図30】図26の実施例における各部の信号のタイムチャート(その2)である。

【図31】図23の回線設定回路を用いて構成されるAdd/Drop 多重化回路(MUX)に一例を示す。

【図32】図31の実施例における各部の信号のタイムチャート(その1)である。

【図33】図31の実施例における各部の信号のタイムチャート(その2)である。

【図34】時分割信号交換システムを中心となるクロスコネクタ(回線設定)装置の従来例を説明する図であ

る。

【図35】STM-n単位での現用/予備ライン(Li  
ne)冗長方式を説明する図である。

【図36】リング(Ring)アプリケーションでAd  
d/Drop多重化の回線設定機能を有する伝送装置を  
説明する図である。

【符号の説明】

- 1 主信号である伝送信号の入力(z-1)処理機能部
- 10 信号受信回路
- 11 ALM処理回路
- 12 同期処理回路
- 13 オーバヘッド処理回路
- 14 バスインタフェース回路

- 15 信号変換回路

- 2 信号同期化部

- 20 メモリ

- 21 信号変換回路

- 22 メモリ書き込み回路

- 23 メモリ読み出し回路

- 3 TSI機能部

- 30 TSI回路

- 31 制御信号発生回路

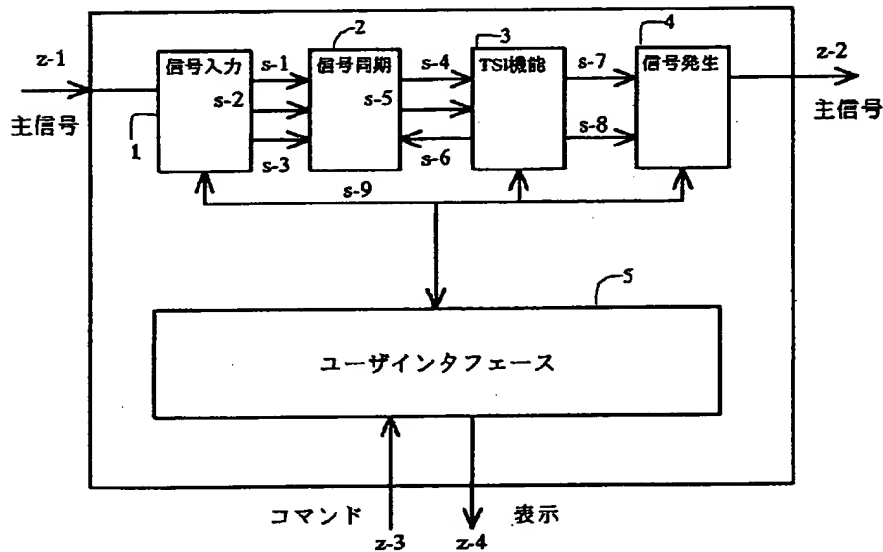
- 32 インタフェース回路

- 33 UNEQ信号発生回路

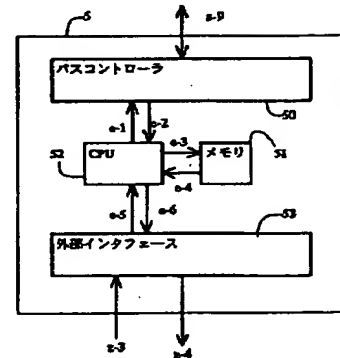
- 4 主信号の出力(z-2)処理機能部

- 5 ユーザーインタフェース機能部

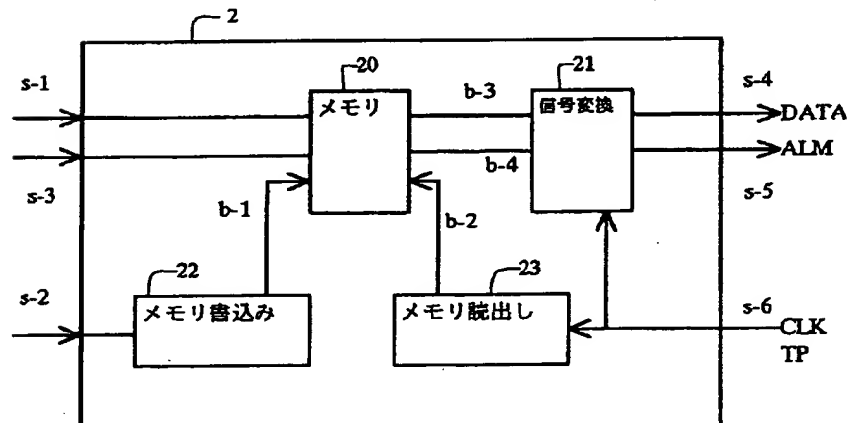
【図1】



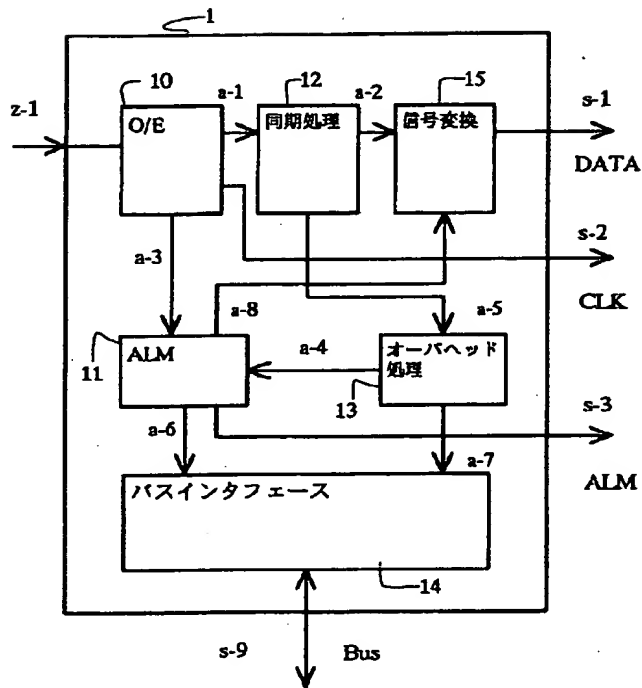
【図20】



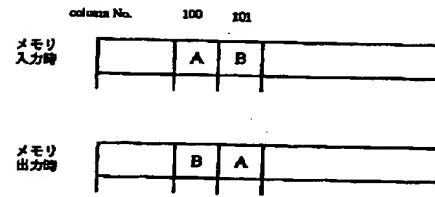
【図4】



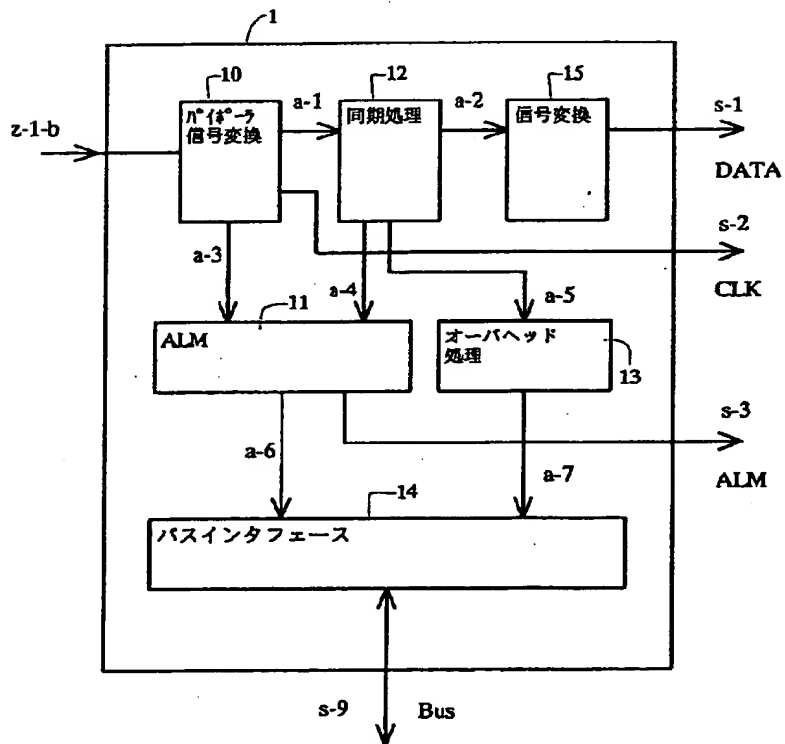
【図2】



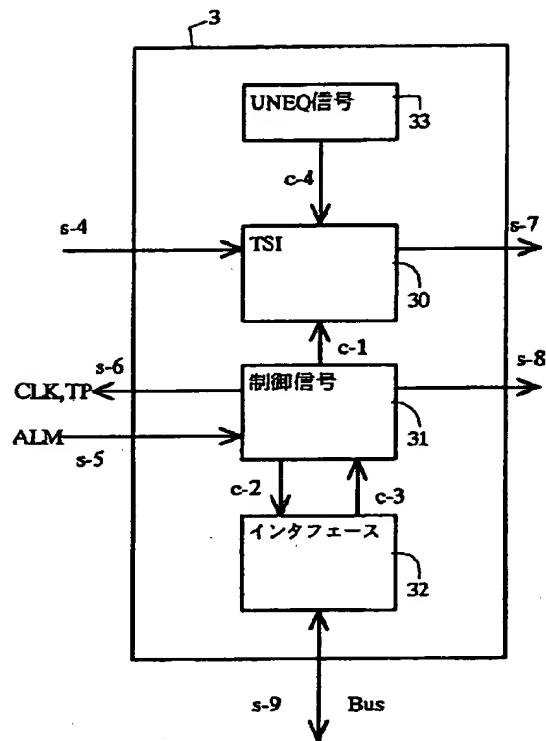
【図14】



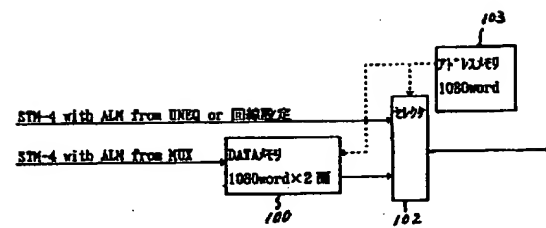
【図3】



【図5】

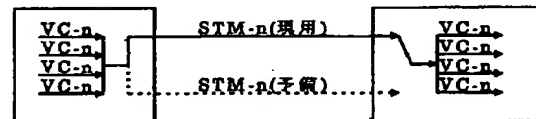


【図23】

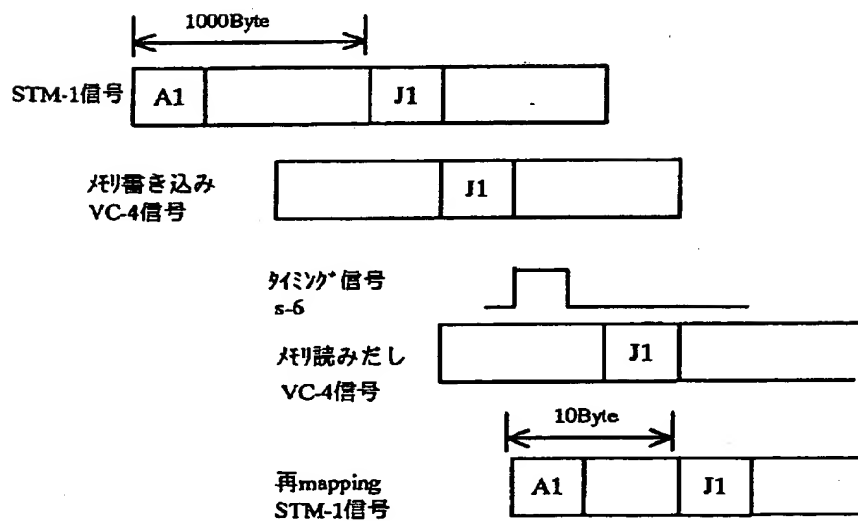


【図35】

Line冗長方式図

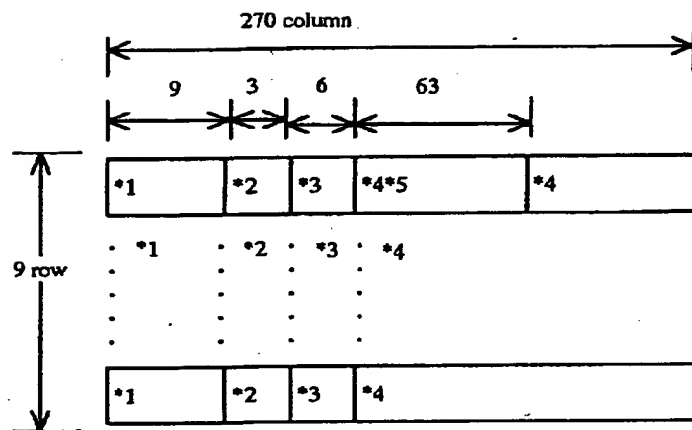


【図7】





【図6】



\*1:STM-1 overhead mapping位置(RSOH+MSOH+AU-4 pointer)

※先頭ByteをA1 Byteとする。

\*2:VC-4 path overhead+Fixed stuff Byte mapping位置

※先頭Byteを、VC4 J1 Byteとする。

\*3:TUG-3 Fixed stuff Byte mapping位置

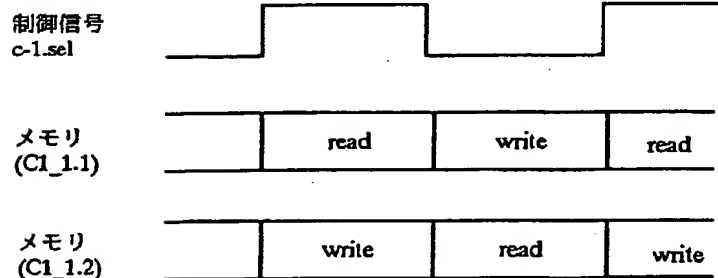
※TU-3 mappingの場合TU-3 pointer+VC-3 path overhead mapping

\*3:TU-2,TUG-2>TU-12 mapping位置

※TU-2 mappingの場合先頭より21Byte V1 Byte が位置する。

※TU-2>TU-12 mappingの場合先頭より63Byte V1 Byte が位置する。

【図12】

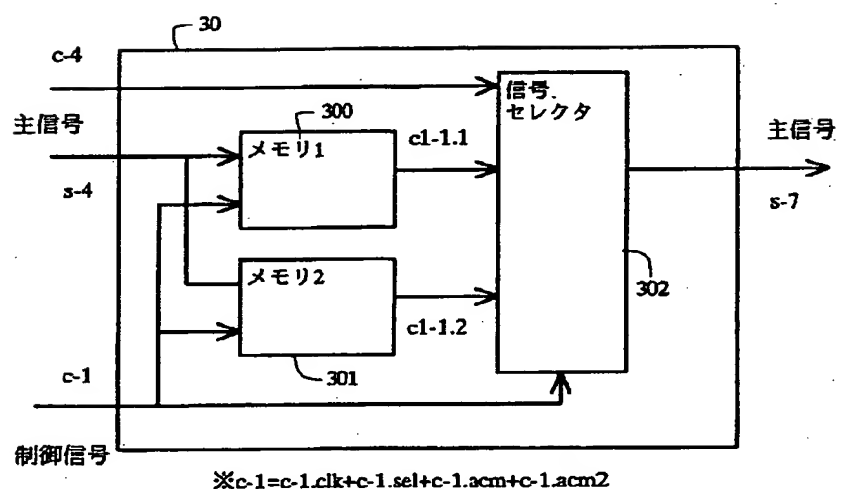


【図28】

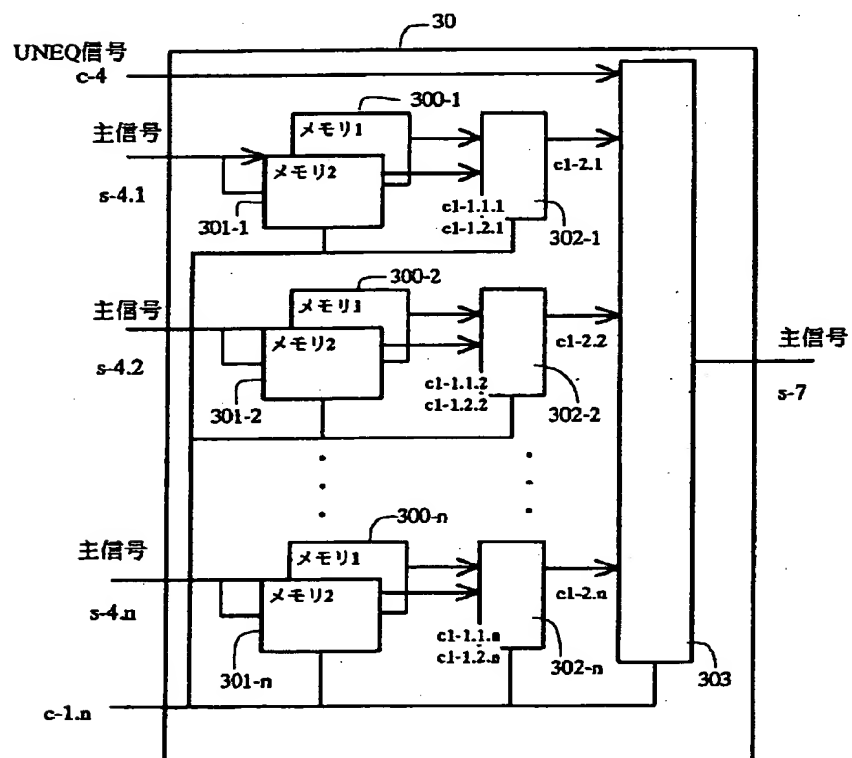
(3)	(1)	スルーALM	メモリALM	選択信号
冗長無し	スルー	×	×	スルー
冗長無し	DATAメモリ	×	×	DATAメモリ
冗長あり	×	NO ALM	NO ALM	前rowの状態保持
冗長あり	×	NO ALM	SD	スルー
冗長あり	×	NO ALM	SF	スルー
冗長あり	×	SD	SD	前rowの状態保持
冗長あり	×	SD	SF	スルー
冗長あり	×	SF	SF	前rowの状態保持

×:don't care

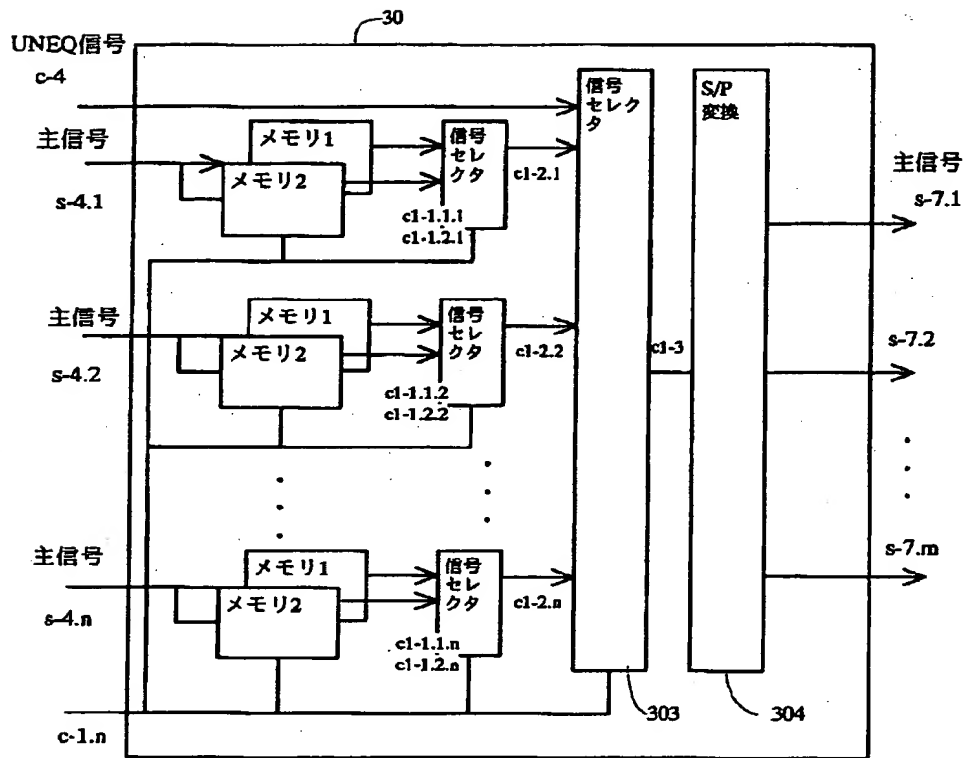
【図8】



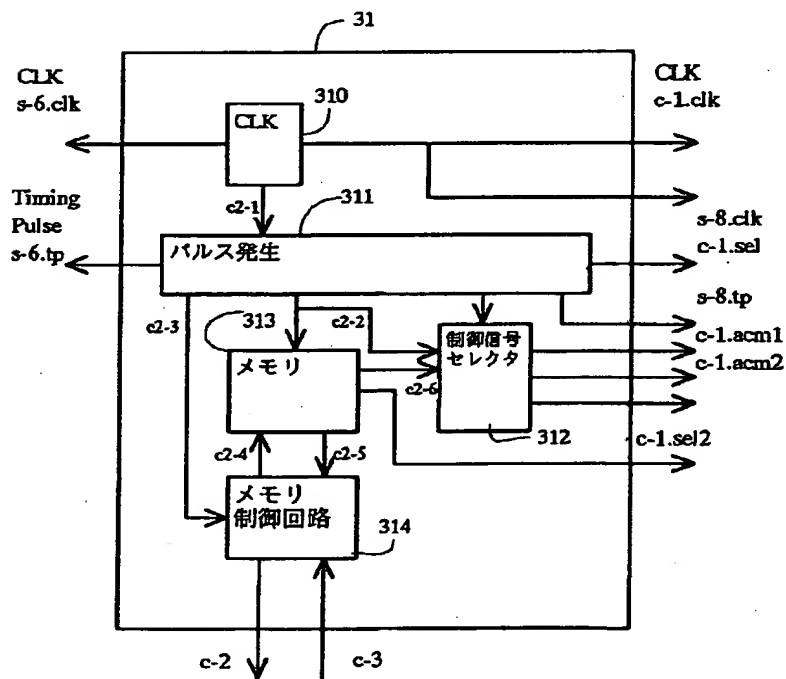
【図9】



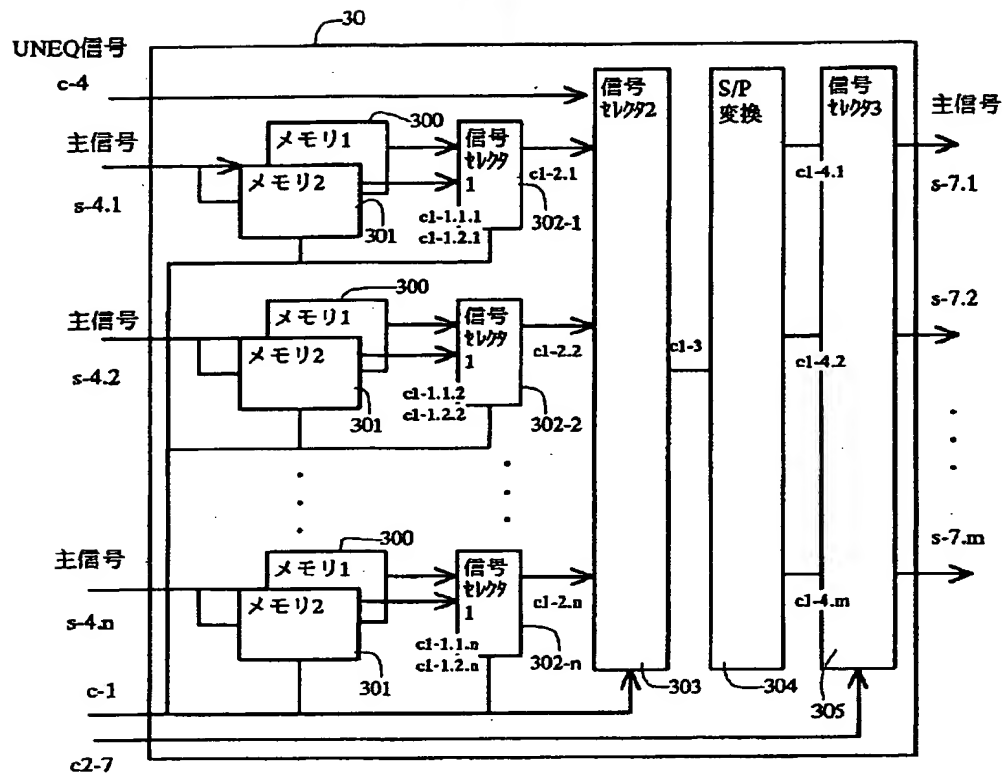
【図10】



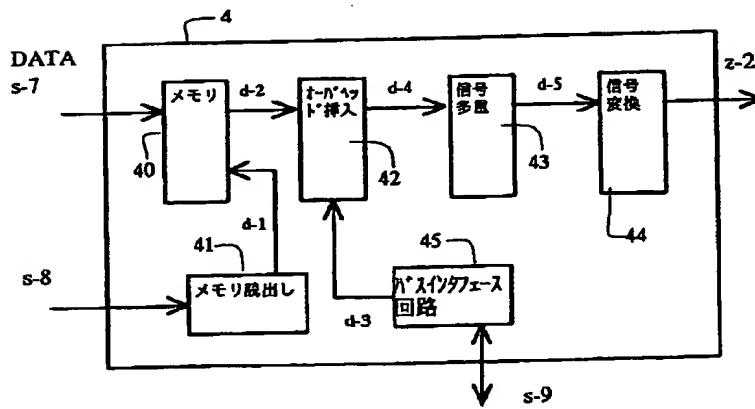
【図16】



【図11】

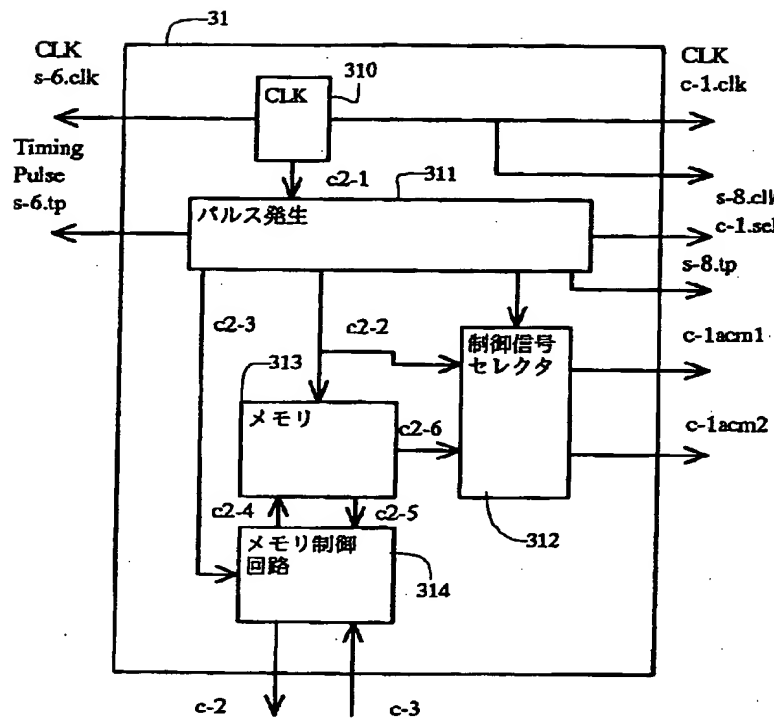


【図19】

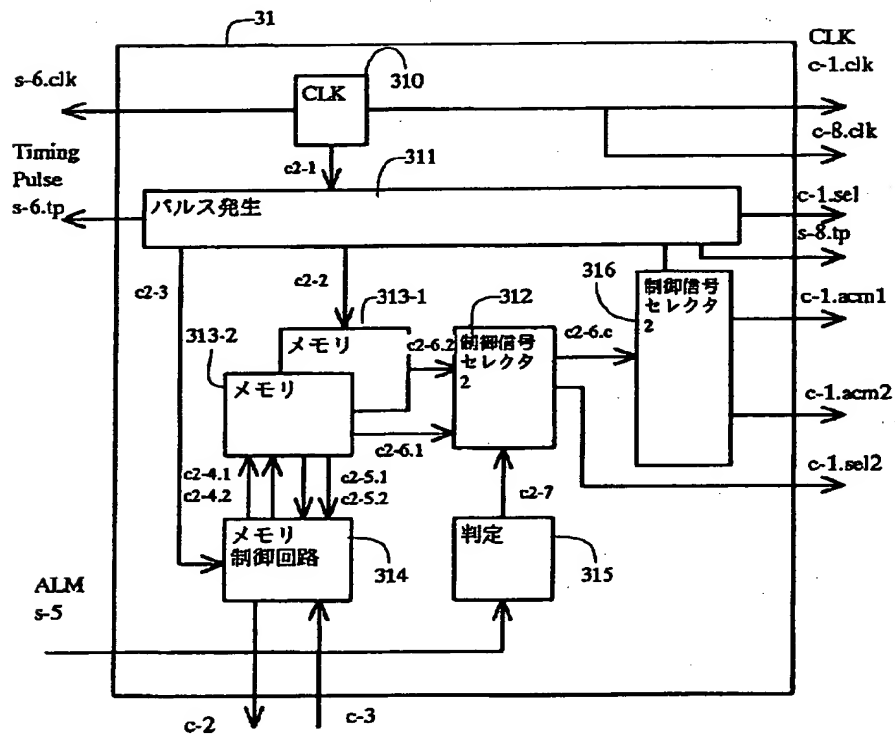


※s-8=s-8.clk+s-8.tp

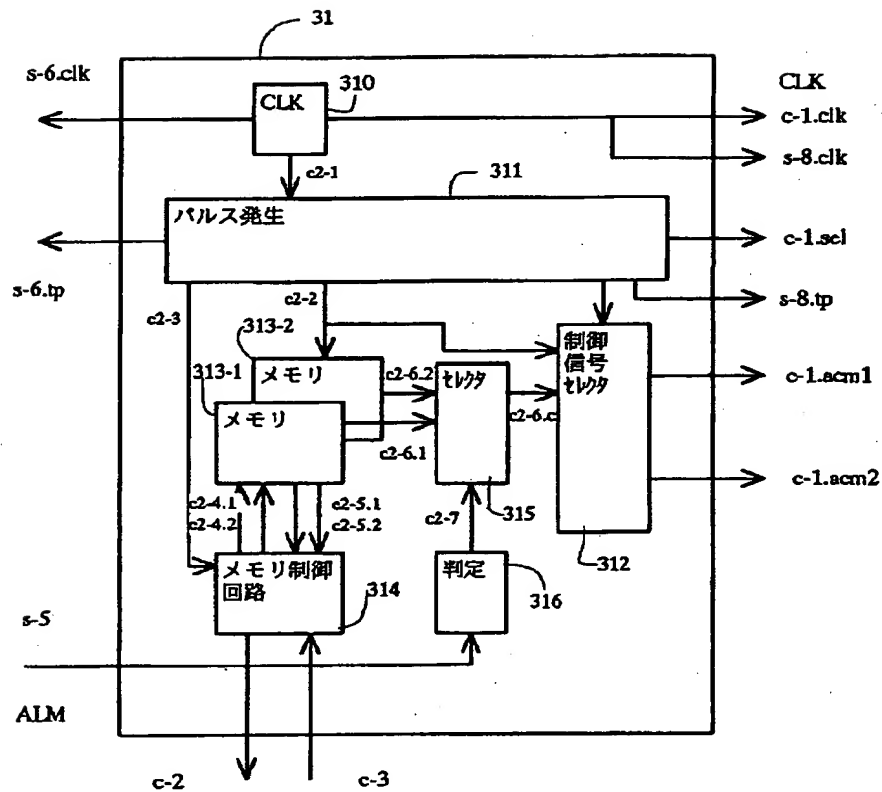
【図13】



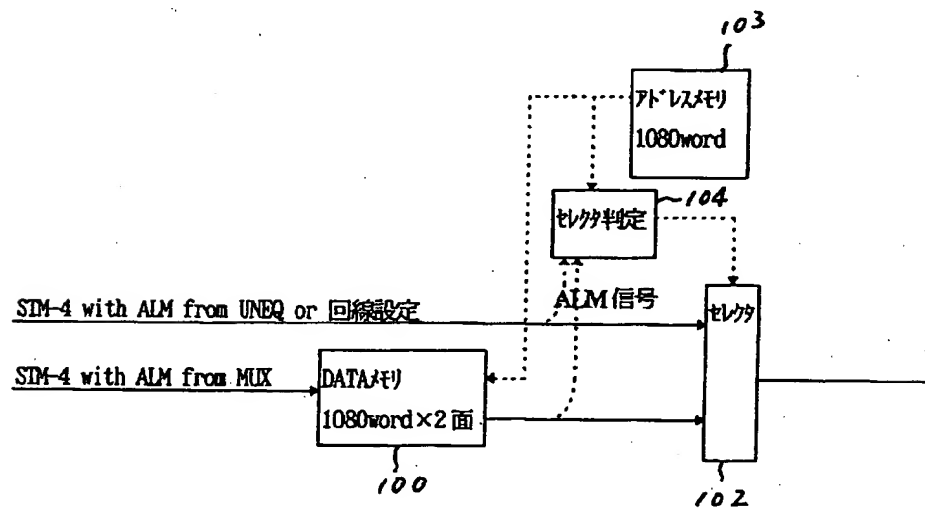
【図17】



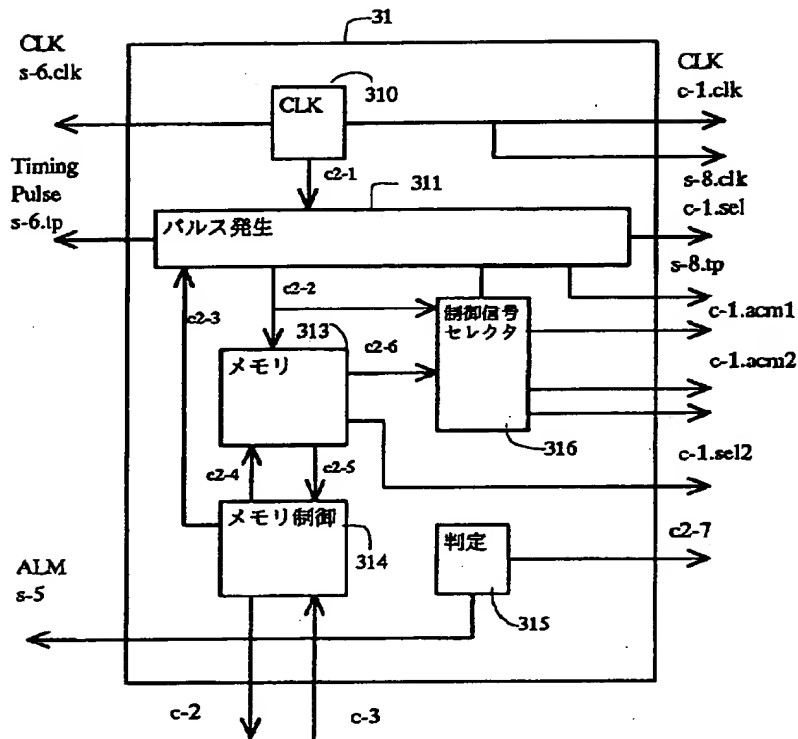
【図15】



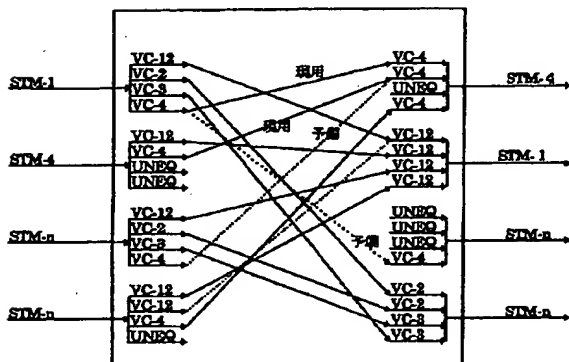
【図27】



【図18】

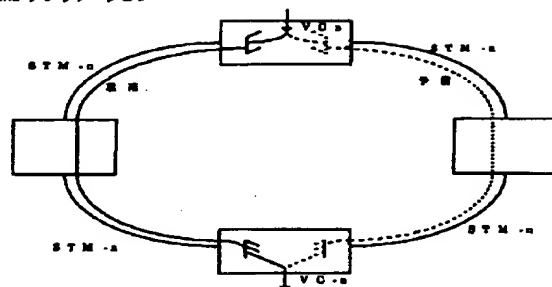


【図34】



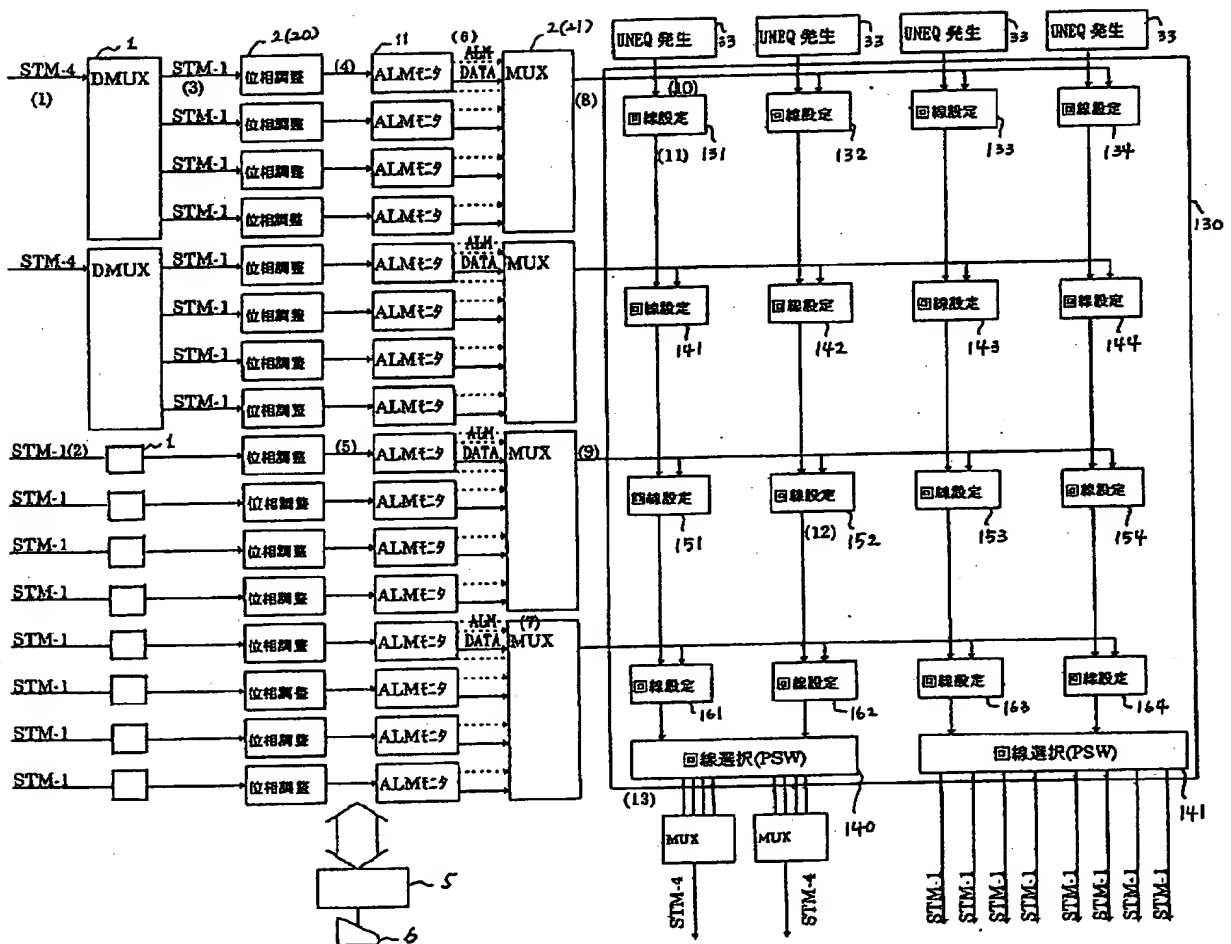
【図36】

RING アプリケーション

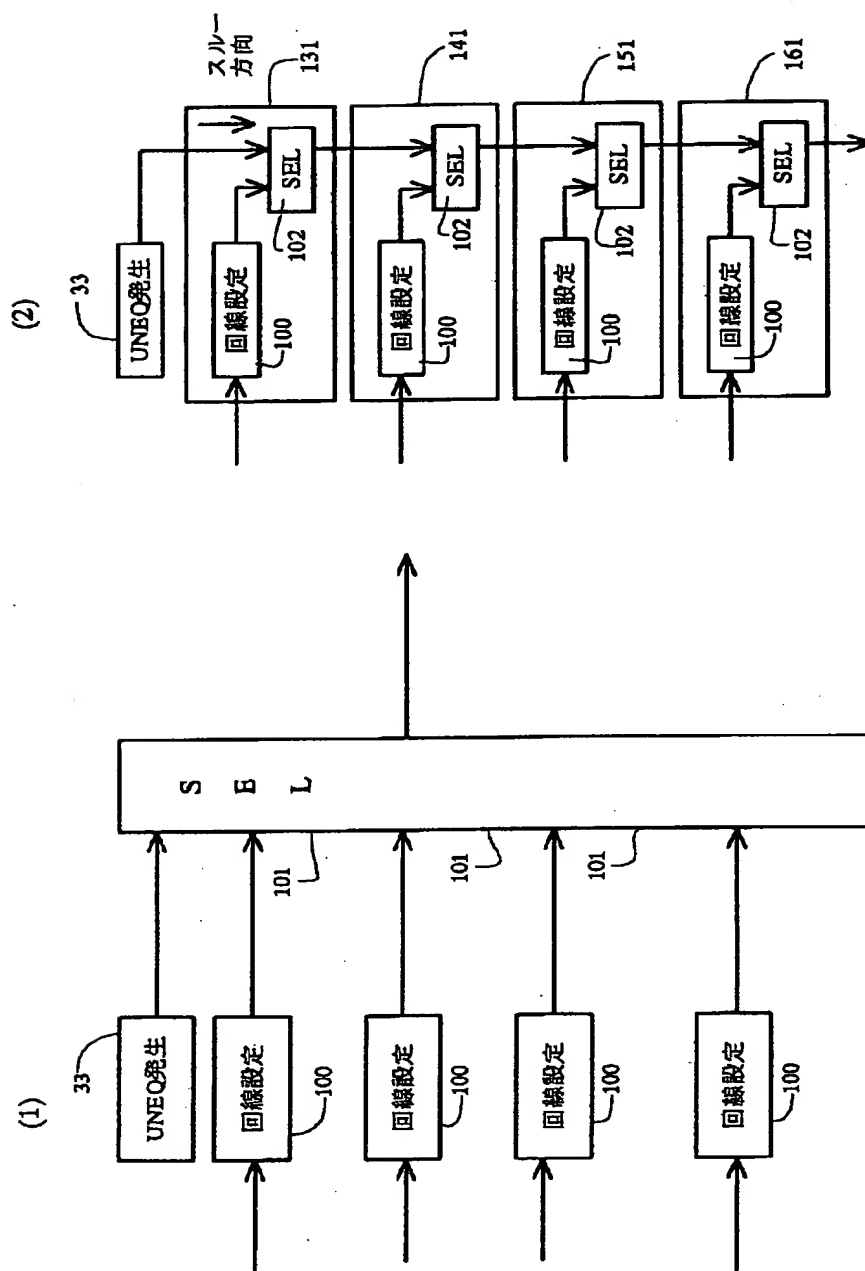




【図21】



【図22】

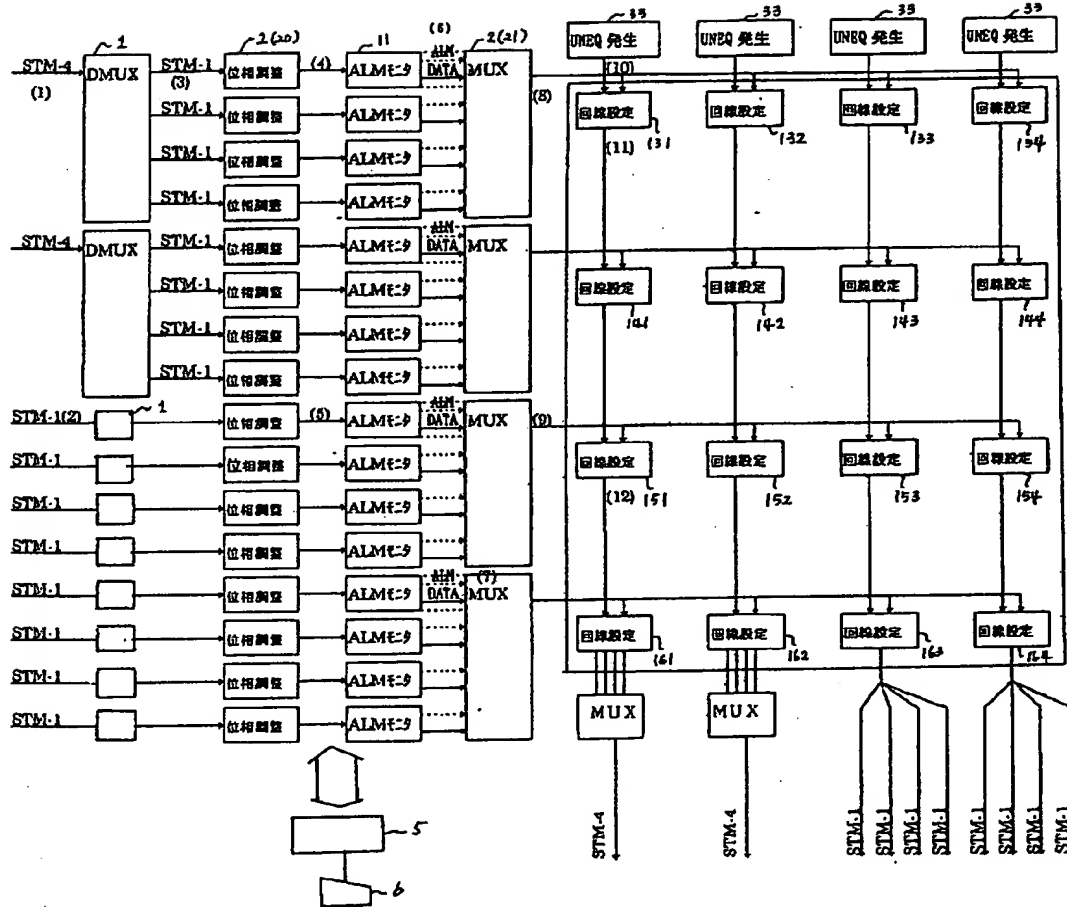


【图24】

[illegible]

[illegible]

【図26】

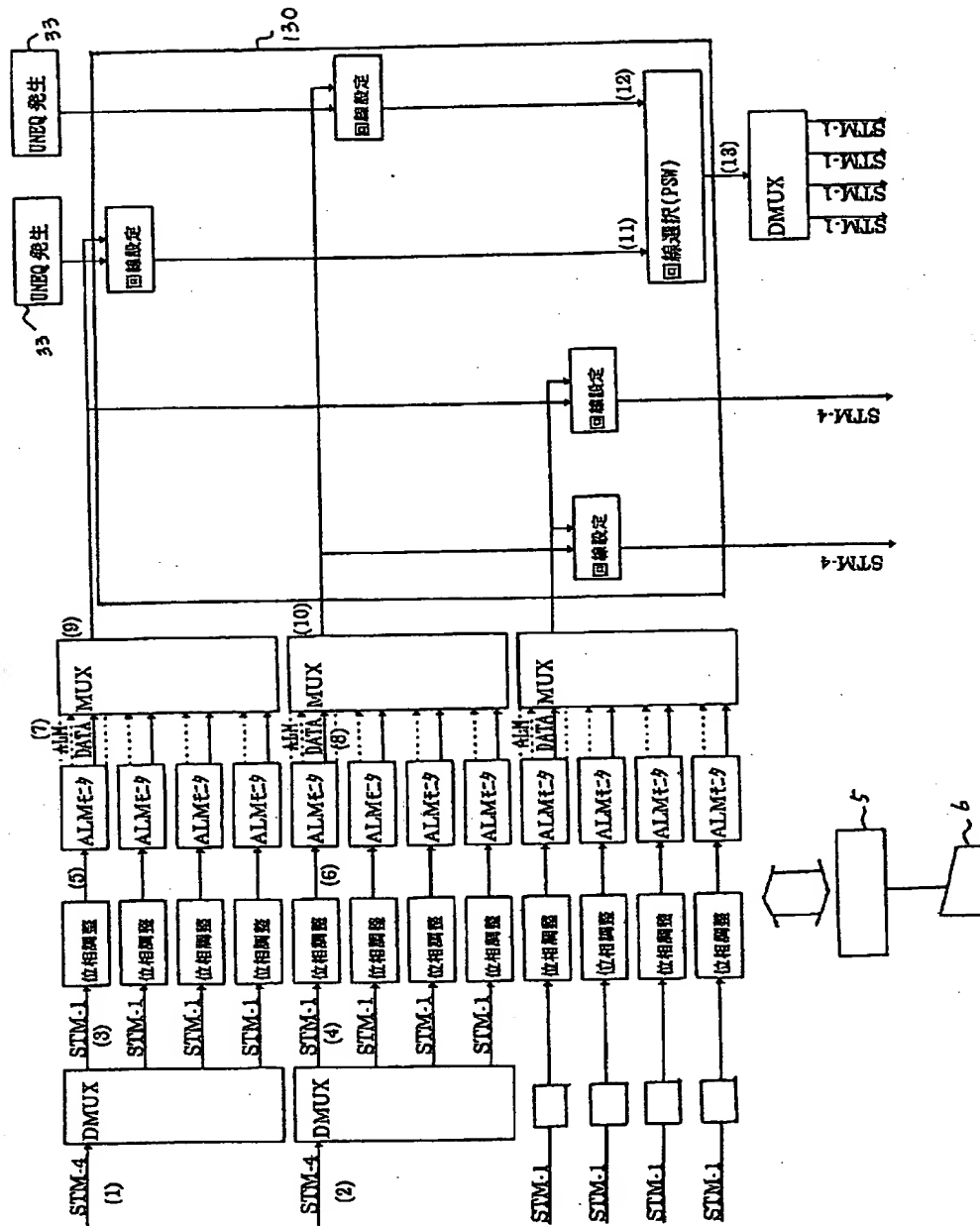


[illegible]

[illegible]



【図31】







フロントページの続き

(72)発明者 田中 雅志  
神奈川県横浜市港北区新横浜2丁目3番9  
号 富士通デジタル・テクノロジー株式会  
社内